

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243967

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/762

H01L 27/12

(21)Application number : 11-042769

(71)Applicant : SONY CORP

(22)Date of filing : 22.02.1999

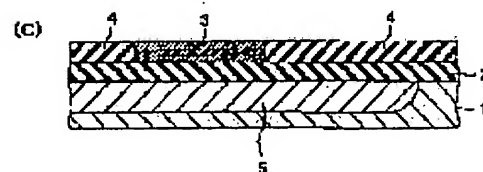
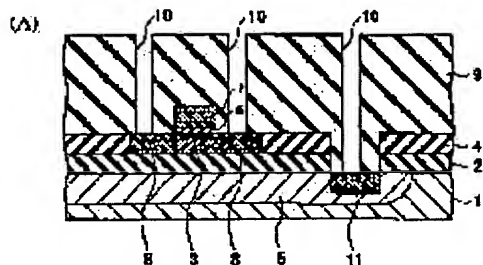
(72)Inventor : MATSUMOTO KOICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

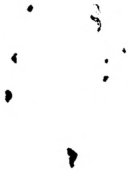
PROBLEM TO BE SOLVED: To provide a manufacture of a semiconductor device capable of forming a semiconductor device and a substrate contact on an SOI substrate by a simplified process.

SOLUTION: This manufacture of a semiconductor device for forming a transistor on a substrate composed of a first semiconductor layer 1, an insulator layer 2 and a second semiconductor layer 3 has a step of forming an element isolation region 4 in the second semiconductor layer 3, a step of forming an opening reaching the first semiconductor layer 1 in the element isolation region 4, a step of forming a gate electrode 7 on the second semiconductor layer 3, a step of introducing impurities in the second semiconductor layer 3 and the opening to form a source/drain region 8 in the second semiconductor layer 3 and a high-concentration impurity diffused region 11 in the first semiconductor layer 2 (5), a step of forming an interlayer insulating film 9, and a step of forming a contact hole 10 in the interlayer insulating film 9.



LEGAL STATUS

[Date of request for examination]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243967

(P2000-243967A)

(13) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.⁷

識別記号

F I

テームト^{*}(参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 C 5 F 0 3 2

21/336

27/12

C 5 F 1 1 0

21/762

21/76

D

27/12

29/78

6 2 1

審査請求 未請求 請求項の数8 O L (全 7 頁)

(21) 出願番号

特願平11-42769

(22) 出願日

平成11年2月22日(1999.2.22)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 松本 光市

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

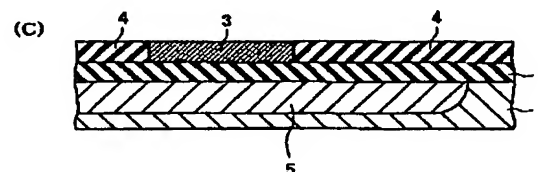
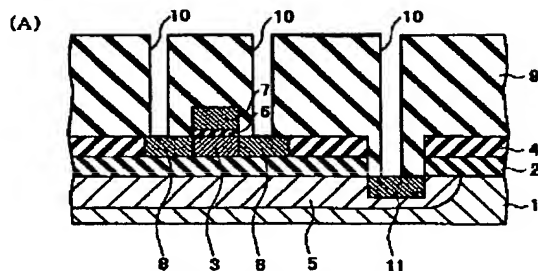
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 SOI基板上に簡略化されたプロセスで半導体装置および基板コンタクトを形成することができる半導体装置の製造方法を提供する。

【解決手段】 第1の半導体層1、絶縁体層2および第2の半導体層3からなる基板上にトランジスタを形成する半導体装置の製造方法において、第2の半導体層3に素子分離領域4を形成する工程と、素子分離領域4に第1の半導体層1に達する開口を形成する工程と、第2の半導体層3上にゲート電極7を形成する工程と、第2の半導体層3および開口内に不純物を導入し、第2の半導体層3にソース/ドレイン領域8を、開口底部の第1の半導体層2(5)に高濃度不純物拡散領域11をそれぞれ形成する工程と、層間絶縁膜9を形成する工程と、層間絶縁膜9にコンタクトホール10を形成する工程とを有する半導体装置の製造方法。



【特許請求の範囲】

【請求項1】第1の半導体層と、前記第1の半導体層上に形成された絶縁体層と、前記絶縁体層上に形成された第2の半導体層からなる基板上に、トランジスタを形成する半導体装置の製造方法において、

前記第2の半導体層の少なくとも一部に、下面が前記絶縁体層と接続する素子分離領域を形成する工程と、
前記素子分離領域に、前記第1の半導体層に達する開口を形成する工程と、

前記第2の半導体層上に、ゲート絶縁膜およびその上層の導電体層からなるゲート電極を形成する工程と、

前記第2の半導体層および前記開口内に不純物を導入して、前記第2の半導体層にソース／ドレイン領域を形成し、前記開口底部の前記第1の半導体層に高濃度不純物拡散領域を形成する工程と、

少なくとも前記素子分離領域および前記トランジスタ形成領域上に、層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記ソース／ドレイン領域、前記ゲート電極および前記高濃度不純物拡散領域に接続するコンタクトホールを形成する工程とを有する半導体装置の製造方法。

【請求項2】前記第1の半導体層および前記第2の半導体層はシリコンからなり、前記基板はSOI (silicon on insulator) 基板である請求項1記載の半導体装置の製造方法。

【請求項3】前記素子分離領域を形成する工程は、前記第2の半導体層上に所定のパターンのシリコン窒化膜を形成する工程と、

前記シリコン窒化膜をマスクとして、前記第2の半導体層を熱酸化する工程と、

前記シリコン窒化膜を除去する工程とを有する請求項2記載の半導体装置の製造方法。

【請求項4】前記素子分離領域を形成する工程は、前記第2の半導体層の少なくとも一部を除去して前記絶縁体層を露出させ、素子分離用溝（トレンチ）を形成する工程と、

シリコン酸化膜を形成して前記素子分離用溝を埋め込む工程とを有する請求項2記載の半導体装置の製造方法。

【請求項5】前記素子分離領域を形成する工程は、前記第2の半導体層の少なくとも一部を除去して前記絶縁体層を露出させる工程である請求項2記載の半導体装置の製造方法。

【請求項6】前記素子分離領域に前記開口を形成する工程は、前記素子分離領域および前記絶縁体層をエッチング除去する工程である請求項1記載の半導体装置の製造方法。

【請求項7】前記ソース／ドレイン領域を形成する工程は、前記第2の半導体層に相対的に低濃度の不純物を導入し、LDD (lightly doped drain) 領域を形成する工程と、

前記ゲート電極の側面に、絶縁膜からなるサイドウォールを形成する工程と、

前記第2の半導体層に、前記サイドウォールをマスクとして相対的に高濃度の不純物を導入し、ソース／ドレイン領域を形成する工程とを有する請求項1記載の半導体装置の製造方法。

【請求項8】前記第2の半導体層にソース／ドレイン領域を形成し、前記開口底部の前記第1の半導体層に高濃度不純物拡散領域を形成する工程の後、全面に高融点金属層を形成する工程と、

熱処理を行い、前記高融点金属層をシリサイド化させる工程と、

前記高融点金属層のシリサイド化しない部分を除去する工程とを有する請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に、SOI基板上に簡略化されたプロセスで半導体装置および基板コンタクトを形成することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】最近の半導体装置においては、従来の半導体装置が持つ接合容量を減少させて能力を向上させることのできる、SOI (silicon on insulator) 基板がますます重要になってきている。SOI基板上に形成された半導体装置は、半導体層に挟まれた絶縁膜のないバルク状の基板に形成された半導体装置に比較して、いくつかの利点を有する。SOI基板上に、例えばMOSFETを形成する場合、ソース電位の変動に伴うしきい値電圧の変動（基板電位効果）が抑制される。また、トランジスタに形成された不純物拡散層の下面が、SOI基板の絶縁膜に接触することなどから、不純物拡散層容量を小さくすることができる。

【0003】上記のように、SOI基板上に半導体装置を形成する場合には、絶縁膜下層のシリコン層に接続する基板端子が必要となる。例えばMOSFETを形成する場合、ゲート、ソース、ドレインの3端子に加えて、しきい値電圧等に影響する可能性のある基板端子を形成する必要がある。

【0004】SOI基板に基板端子を含む半導体装置を形成する方法について、図3および図4を参照して以下に説明する。まず、図3(A)に示すように、バルク状のシリコン基板1上に絶縁膜2を介して、半導体層（シリコン層）3が積層されたSOI基板を作製する。SOI基板の形成方法としては、絶縁層上に気相、液相あるいは固相で単結晶シリコンを成長させる方法や、基板を貼り合わせる方法、あるいは、単結晶シリコン基板中に酸素をイオン注入して内部に絶縁層を形成するSIMOX (silicon implanted oxidation) 法や、陽極酸化によってシリコンを部分的に多

孔質化して酸化する方法等がある。

【0005】次に、図3(B)に示すように、シリコン層3の一部を選択的に酸化シリコンとして、素子分離領域4を形成する。素子分離領域4を形成するには、例えば、シリコン層3の上層にシリコン窒化膜(不図示)を形成し、シリコン窒化膜をマスクとしてシリコン層3を熱酸化するLOCOS法により行う。あるいは、シリコン層3をエッチングして溝(トレンチ)を形成し、トレンチ内を埋め込むように酸化膜を形成するSTI(shallow trench isolation)法により素子分離領域4を形成することもできる。さらに、シリコン基板1にp型あるいはn型の不純物を導入し、ウェル5を形成する。

【0006】次に、図3(C)に示すように、シリコン層3の表面に、例えばシリコン酸化膜からなるゲート絶縁膜6を形成し、その上層に導電体からなるゲート電極7を形成する。ゲート電極7を形成後、ゲート電極7をマスクとしてイオン注入を行うことにより、自己整合的にソース/ドレイン領域8が形成される。

【0007】次に、図4(A)に示すように、全面に例えばシリコン酸化膜からなる層間絶縁膜9を形成する。続いて、ソース/ドレイン領域8や、シリコン基板1に形成されたウェル5に接続する電極を形成するため、層間絶縁膜9にコンタクトホール10を形成する。その後、図4(B)に示すように、コンタクトに高濃度の不純物をイオン注入し、ウェル5の表面に高濃度不純物拡散層11を形成する。これにより、オーミック接合が得られ、コンタクトが低抵抗化される。

【0008】

【発明が解決しようとする課題】上記の従来の製造方法に示すように、SOI基板の基板端子については、MOSFET等のトランジスタを被覆する層間絶縁膜を形成後、ゲート、ソース、ドレイン等と共に一括して、あるいはゲート、ソース、ドレイン等とは別々にコンタクトが形成されていた。基板は通常、n型あるいはp型の不純物が低濃度でドーピングされており、コンタクトにイオン注入を行って、コンタクト下に高濃度の不純物拡散層を形成することによりオーミック接合が得られる。

【0009】基板上にnチャネルトランジスタとpチャネルトランジスタの両方を形成する場合、n型とp型のコンタクトに対してそれぞれ不純物を導入する必要がある。したがって、コンタクトにイオン注入するためのリソグラフィ工程は2回行われていた。

【0010】SOI基板上に形成された半導体装置は優れた特性を示すが、絶縁膜の挟まれていないバルク状の基板に比較して、SOI基板の製造コストが著しく高いことが欠点となっている。したがって、SOI基板上に半導体装置を形成する場合、プロセスを簡略化して半導体装置の製造コストを低減させる必要がある。

【0011】本発明は上記の問題点を鑑みてなされたも

のであり、したがって本発明は、SOI基板上に簡略化されたプロセスで半導体装置を形成することができる半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、第1の半導体層と、前記第1の半導体層上に形成された絶縁体層と、前記絶縁体層上に形成された第2の半導体層からなる基板上に、トランジスタを形成する半導体装置の製造方法において、前記第2の半導体層の少なくとも一部に、下面が前記絶縁体層と接続する素子分離領域を形成する工程と、前記素子分離領域に、前記第1の半導体層に達する開口を形成する工程と、前記第2の半導体層上に、ゲート絶縁膜およびその上層の導電体層からなるゲート電極を形成する工程と、前記第2の半導体層および前記開口内に不純物を導入して、前記第2の半導体層にソース/ドレイン領域を形成し、前記開口底部の前記第1の半導体層に高濃度不純物拡散領域を形成する工程と、少なくとも前記素子分離領域および前記トランジスタ形成領域上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記ソース/ドレイン領域、前記ゲート電極および前記高濃度不純物拡散領域に接続するコンタクトホールを形成する工程とを有することを特徴とする。

【0013】本発明の半導体装置の製造方法は、好適には、前記第1の半導体層および前記第2の半導体層はシリコンからなり、前記基板はSOI(silicon on insulator)基板であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記素子分離領域を形成する工程は、前記第2の半導体層上に所定のパターンのシリコン窒化膜を形成する工程と、前記シリコン窒化膜をマスクとして、前記第2の半導体層を熱酸化する工程と、前記シリコン窒化膜を除去する工程とを有することを特徴とする。あるいは、本発明の半導体装置の製造方法は、好適には、前記素子分離領域を形成する工程は、前記第2の半導体層の少なくとも一部を除去して前記絶縁体層を露出させ、素子分離用溝(トレンチ)を形成する工程と、シリコン酸化膜を形成して前記素子分離用溝を埋め込む工程とを有することを特徴とする。また、本発明の半導体装置の製造方法は、好適には、前記素子分離領域を形成する工程は、前記第2の半導体層の少なくとも一部を除去して前記絶縁体層を露出させる工程であることを特徴とする。

【0014】本発明の半導体装置の製造方法は、好適には、前記素子分離領域に前記開口を形成する工程は、前記素子分離領域および前記絶縁体層をエッチング除去する工程であることを特徴とする。本発明の半導体装置の製造方法は、好適には、前記ソース/ドレイン領域を形成する工程は、前記第2の半導体層に相対的に低濃度の不純物を導入し、LDD(lightly doped drain)領域を形成する工程と、前記ゲート電極

の側面に、絶縁膜からなるサイドウォールを形成する工程と、前記第2の半導体層に、前記サイドウォールをマスクとして相対的に高濃度の不純物を導入し、ソース／ドレイン領域を形成する工程とを有することを特徴とする。

【0015】本発明の半導体装置の製造方法は、好適には、前記第2の半導体層にソース／ドレイン領域を形成し、前記開口底部の前記第1の半導体層に高濃度不純物拡散領域を形成する工程の後、全面に高融点金属層を形成する工程と、熱処理を行い、前記高融点金属層をシリサイド化させる工程と、前記高融点金属層のシリサイド化しない部分を除去する工程とを有することを特徴とする。

【0016】これにより、基板コンタクトを形成するために、従来2回行われていたリソグラフィ工程を1回に削減することができる。従来の半導体装置の製造方法の場合、層間絶縁膜にコンタクトホールを開口後、コンタクトホール底部にイオン注入を行うため、p型不純物拡散領域とn型不純物拡散領域で2回のリソグラフィ工程が必要であった。それに対し、本発明の半導体装置の製造方法によれば、基板コンタクトへのイオン注入を、ソース／ドレイン領域を形成するための高ドーズイオン注入と同時にを行う。したがって、リソグラフィ工程を削減してプロセスを簡略化し、半導体装置の製造コストを低減させることができる。

【0017】

【発明の実施の形態】以下に、本発明の半導体装置の製造方法の実施の形態について、図面を参照して説明する。図1(A)は本実施形態の半導体装置の製造方法により製造される半導体装置の断面図である。シリコン基板1、絶縁膜2および半導体層3からなるSOI基板上に、ゲート絶縁膜6、ゲート電極7およびソース／ドレイン領域8を含むMOSトランジスタが形成されている。MOSトランジスタは絶縁膜2上に形成され、絶縁膜2下部のシリコン基板1にはp型あるいはn型のウェル5が形成されている。

【0018】MOSトランジスタを被覆する層間絶縁膜9に、コンタクトホール10が形成され、コンタクトホール10はソース／ドレイン領域8に接続する。また、シリコン基板1表面に形成されたウェル5に接続するコンタクトホール10により、基板コンタクトが確保される。

【0019】次に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図1(B)に示すように、バルク状のシリコン基板1上に絶縁膜2を介して、半導体層(シリコン層)3が積層されたSOI基板を作製する。絶縁膜2およびシリコン層3の膜厚は、それぞれ例えば150nm程度とする。SOI基板は、絶縁層上に気相あるいは液相で単結晶シリコンを成長させる方法や、基板を貼り合わせる方法、あるいは、単結晶シリ

コン基板中に酸素をイオン注入して内部に絶縁層を形成するSIMOX法などにより形成する。

【0020】次に、図1(C)に示すように、シリコン層3の一部を選択的に酸化シリコンとして素子分離領域4を形成する。素子分離領域4を形成するには、例えば、シリコン層3の上層にシリコン窒化膜(不図示)を形成し、シリコン窒化膜をマスクとしてシリコン層3を熱酸化するLOCOS法により行う。また、シリコン層3をエッチングして溝(トレンチ)を形成し、トレンチ内を埋め込むように酸化膜を形成するSTI法により素子分離領域4を形成することもできる。あるいは、素子分離領域4のシリコン層3を選択的にエッチング除去した、メサ型の素子分離領域であってもよい。

【0021】さらに、レジスト(不図示)をマスクとしてnチャネルMOSトランジスタ(NMOS)形成領域にp型不純物をイオン注入等により導入し、pウェルを形成する。同様に、pチャネルMOSトランジスタ(PMOS)形成領域にn型不純物をイオン注入等により導入し、nウェルを形成する。これらのウェルを図1(C)においてウェル5として示す。

【0022】次に、図2(A)に示すように、リソグラフィ工程によりレジスト(不図示)を形成し、レジストをマスクとして基板コンタクト形成領域近辺の素子分離領域4および絶縁膜2にエッチング、例えばRIE(reactive ion etching)を行う。

【0023】その後、図2(B)に示すように、アクティブ領域の表面にゲート絶縁膜6としてシリコン酸化膜を形成し、その上層に、例えば不純物を含有しない多結晶シリコン層を積層させてから、多結晶シリコン層とゲート絶縁膜をパターニングして、ゲート電極7を形成する。

【0024】ゲート電極7をマスクとして、NMOS形成領域のシリコン層3にn型不純物、例えばAsをイオン注入し、自己整合的にソース／ドレイン領域8を形成する。このイオン注入は高濃度の不純物が導入される条件で行い、例えば、Asの導入量は $3 \times 10^{15} \text{ atoms/cm}^2$ とする。このイオン注入により、NMOSのゲート電極7およびnウェルに接続する基板コンタクトにも同時にn型不純物が導入される。これにより、nウェルのコンタクト下部に高濃度不純物拡散層11が形成され、基板コンタクトのオーミック接合が得られる。

【0025】同様に、PMOS形成領域のシリコン層3にゲート電極7をマスクとしてp型不純物、例えばBF₃を高濃度($3 \times 10^{15} \text{ atoms/cm}^2$)でイオン注入し、自己整合的にソース／ドレイン領域8を形成する。このイオン注入により、PMOSのゲート電極7およびpウェルに接続する基板コンタクトにも同時にp型不純物が導入される。これにより、pウェルのコンタクト下部に高濃度不純物拡散層11が形成され、基板コンタクトのオーミック接合が得られる。

【0026】また、上記のようにゲート電極7をマスクとしたイオン注入を行ってソース／ドレイン領域8を形成するかわりに、LDD (lightly doped drain) 構造のソース／ドレイン領域を形成することにより、トランジスタの短チャネル効果を抑制することができる。

【0027】ソース／ドレイン領域8をLDD構造とする場合には、まず、NMOS形成領域、PMOS形成領域のそれぞれにおいて、ゲート電極7をマスクとして低濃度の不純物をイオン注入し、LDD領域を形成する。続いて、全面に絶縁膜、例えばシリコン酸化膜あるいはシリコン窒化膜を堆積させてから、エッチバックを行うと、ゲート電極7の側面にサイドウォールが形成される。このサイドウォールをマスクとしてシリコン層3 (アクティブ領域) に、LDD領域よりも相対的に高濃度の不純物をイオン注入すると、ソース／ドレイン領域8が形成される。

【0028】上記のようにLDD構造のソース／ドレイン領域を形成する場合には、基板1のウェル5に接続するコンタクトに、LDD形成時およびソース／ドレイン領域形成時において、再度イオン注入が行われることになるが、これらのイオン注入で導入される不純物の導電型が同じであるため、特に問題とならない。ウェル5に接続する基板コンタクト (高濃度不純物拡散層11) の最終的な不純物濃度は、ソース／ドレイン領域形成時のイオン注入の不純物導入量に、ほぼ依存する。

【0029】ソース／ドレイン領域8および高濃度不純物拡散層11を形成した後、図1 (A) に示すように、全面に例えば酸化シリコンからなる層間絶縁膜9を堆積させる。層間絶縁膜9に、例えばRIEを行ってコンタクトホール10を形成する。以上の工程により、図1 (A) に断面図を示す半導体装置が得られる。さらに、従来公知の技術に従い、コンタクトホール10を埋め込む導電性プラグを形成し、層間絶縁膜9の上層にコンタクトホール10に接続する金属配線 (上層配線) を形成する。

【0030】上記の本発明の実施形態の半導体装置の製造方法によれば、基板コンタクトを形成するために、従来2回行われていたリソグラフィー工程を1回に削減することができる。従来の半導体装置の製造方法の場合、層間絶縁膜にコンタクトホールを開口後、コンタクトホール底部にイオン注入を行うため、p型不純物拡散領域とn型不純物拡散領域で2回のリソグラフィー工程が必要である。それに対し、本発明の半導体装置の製造方法によれば、基板コンタクトへのイオン注入を、ソース／

ドレイン領域を形成するための高ドーズイオン注入と同時に行う。したがって、リソグラフィー工程を削減してプロセスを簡略化し、半導体装置の製造コストを低減させることができる。

【0031】本発明の半導体装置の製造方法の実施形態は、上記の説明に限定されない。例えば、高濃度の不純物をイオン注入し、ソース／ドレイン領域8および基板コンタクトの高濃度不純物拡散層11を形成した後、従来公知のSALICIDE (self-aligned silicide) 化を行って、ソース／ドレイン領域、ゲート電極および基板コンタクトを低抵抗化することもできる。

【0032】SALICIDE化を行う場合には、高濃度の不純物をイオン注入した後、全面にコバルト、チタンあるいはニッケル等からなる高融点金属層を、例えばスパッタリングにより形成する。ランプアニール等の熱処理を行って、高融点金属層を下層のシリコン層と反応させ、例えば CoSi_2 あるいは TiSi_2 等のシリサイドを形成する。その後、未反応の高融点金属層を、例えば硫酸／過酸化水素水を用いたウェットエッチングにより除去すればよい。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0033】

【発明の効果】本発明の半導体装置の製造方法によれば、SOI基板に簡略化されたプロセスで基板コンタクトと半導体装置を形成することが可能となり、半導体装置の製造コストを低減させることができる。

【図面の簡単な説明】

【図1】 (A) は本発明の半導体装置の製造方法により製造される半導体装置の断面図であり、(B) および (C) は本発明の半導体装置の製造方法の製造工程を示す断面図である。

【図2】 (A) および (B) は本発明の半導体装置の製造方法の製造工程を示す断面図である。

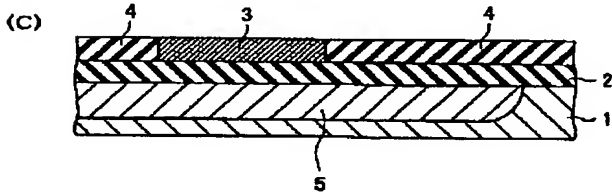
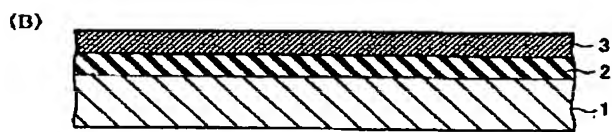
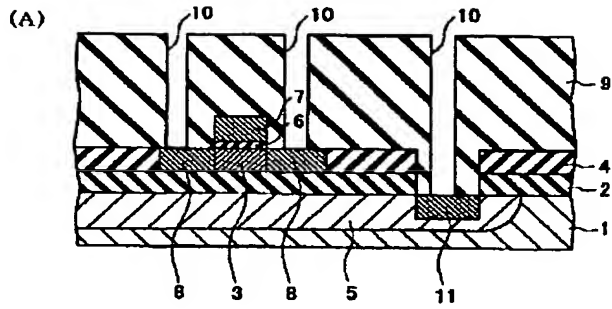
【図3】 (A) ～ (C) は従来の半導体装置の製造方法の製造工程を示す断面図である。

【図4】 (A) および (B) は従来の半導体装置の製造方法の製造工程を示す断面図である。

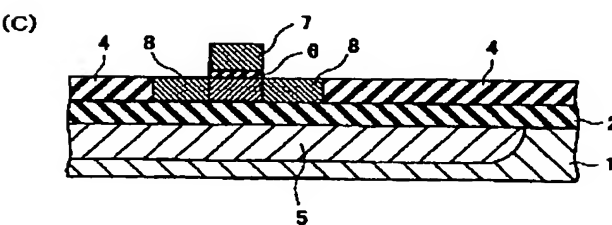
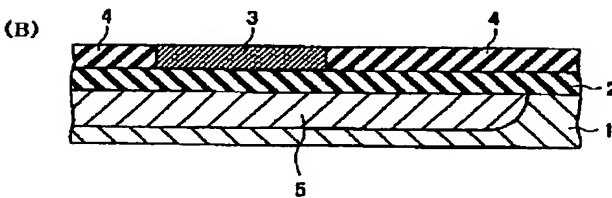
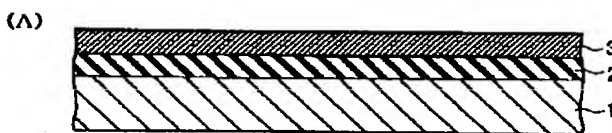
【符号の説明】

1…シリコン基板、2…絶縁膜、3…シリコン層、4…素子分離領域、5…ウェル、6…ゲート絶縁膜、7…ゲート電極、8…ソース／ドレイン領域、9…層間絶縁膜、10…コンタクトホール、11…高濃度不純物拡散層。

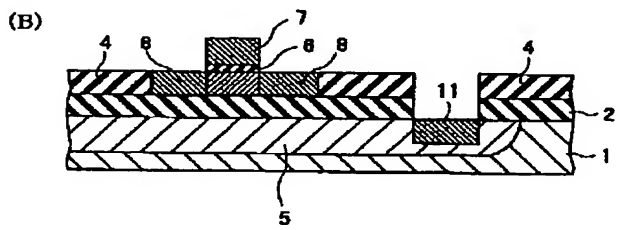
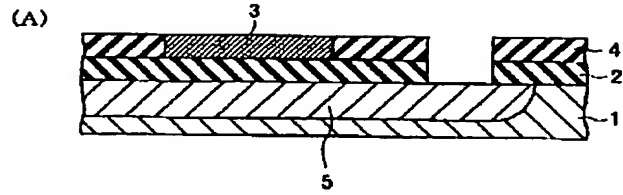
【図1】



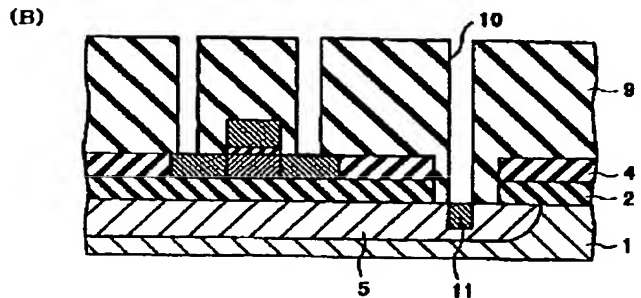
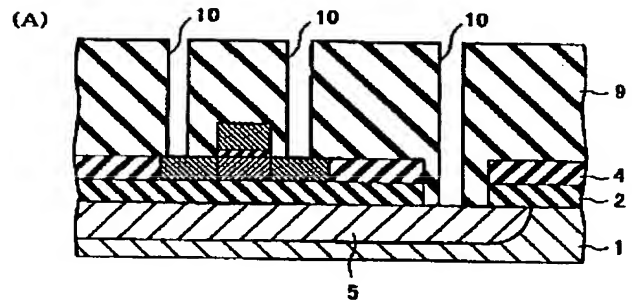
【図3】



【図2】



【図4】



フロントページの続き

Fターム(参考) 5F032 AA07 AA13 AA35 AA44 BA01
BB01 CA03 CA20 DA43 DA53
DA57 DA71 DA74 DA80
5F110 BB04 CC02 DD05 DD13 DD22
DD24 EE05 EE48 FF02 GG02
GG24 HJ01 HJ04 HJ13 HL05
HL23 HL27 HM15 NN02 NN23
NN62 NN66 QQ11 QQ17

